

## Patent Abstracts of Japan

PUBLICATION NUMBER : 06085259  
PUBLICATION DATE : 25-03-94

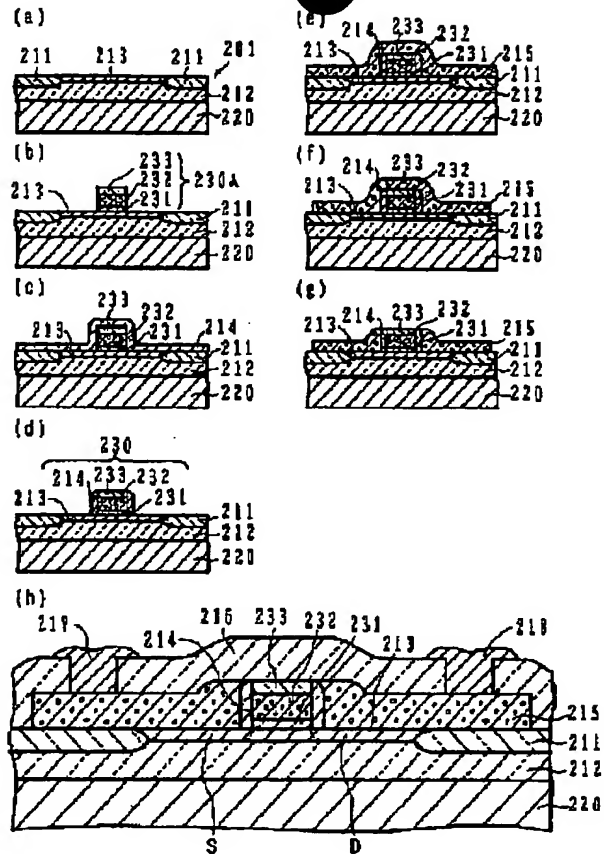
APPLICATION DATE : 16-07-93  
APPLICATION NUMBER : 05176957

APPLICANT : FUJITSU LTD;

INVENTOR : KISHII SADAHIRO;

INT.CL. : H01L 29/784 H01L 21/76 H01L 27/12

TITLE : SEMICONDUCTOR DEVICE AND ITS MANUFACTURE



ABSTRACT : PURPOSE: To make a silicon layer containing the source and drain regions of a MOS-FET thin by a method wherein the silicon layer is formed so as to cover the source and drain regions continuously.

CONSTITUTION: After a gate oxide film layer 231, a polycrystalline silicon layer 232 and a CVD oxide film (first oxide film) 233 are successively formed on an SOI wafer 201, a gate electrode enveloping unit center part 230A composed of those laminated layers is formed. After a CVD oxide film (second oxide film) 214 is formed, the CVD oxide film 214 is left on the side surface of the gate electrode enveloping unit center part 230A only as a side wall to form a gate electrode enveloping unit 230. After a polycrystalline silicon layer 215 is deposited over the whole substrate, the polycrystalline silicon layer 215 is processed so as to cover from one of field oxide films 211 to the top surface of the other field oxide film 211 continuously. Then high impurity concentration source and drain regions are formed in a silicon layer 213 and the polycrystalline silicon layer 215 on the top part of the gate electrode is removed.

COPYRIGHT: (C)1994,JPO&Japio

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-85259

(43) 公開日 平成6年(1994) 3月25日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
21/76	D	9169-4M		
27/12	B	9056-4M		
			H 0 1 L 29/78	3 1 1 R

審査請求 未請求 請求項の数22(全 12 頁)

(21) 出願番号 特願平5-176957  
(22) 出願日 平成5年(1993) 7月16日  
(31) 優先権主張番号 特願平4-189555  
(32) 優先日 平4(1992) 7月16日  
(33) 優先権主張国 日本 (J P)

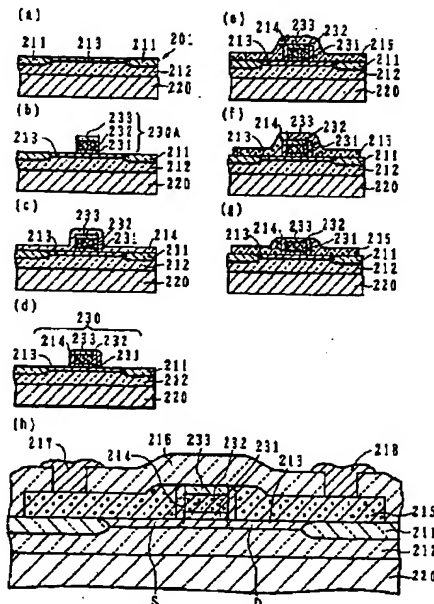
(71) 出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中1015番地  
(72) 発明者 堀江 博  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内  
(72) 発明者 今井 雅彦  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内  
(72) 発明者 岸井 貞浩  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内  
(74) 代理人 弁理士 高橋 敬四郎

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】 本発明は、ソース・ドレイン領域を含むシリコン層を、そのシート抵抗を増加させることなく、薄膜化することができるように改良したMOSFET構造を有する半導体装置およびその製造方法を提供することを目的とする。

【構成】 本発明による半導体装置は、一導電型の半導体層と、前記半導体層上に形成された絶縁ゲート構造と、前記絶縁ゲート構造を挟むように、両側の前記半導体層内に反対導電型の不純物を添加して形成されるソース領域及びドレイン領域と、前記絶縁ゲート構造の側面に形成された絶縁性のサイドウォールと、前記サイドウォール的一方の側面から前記ソース領域の表面まで、及び前記サイドウォールの他方の側面から前記ドレイン領域の表面までをそれぞれ連続的に覆うように形成されたソース領域導電層及びドレイン領域導電層とを含む。



【特許請求の範囲】

【請求項1】 一導電型の半導体層 (213、410)

と、

前記半導体層 (213、410) 上に形成された絶縁ゲート構造 (231、232; 431、432) と、

前記絶縁ゲート構造 (231、232; 431、432) を挟むように、両側の前記半導体層 (213、410) 内に反対導電型の不純物を添加して形成されるソース領域 (S) 及びドレイン領域 (D) と、

前記絶縁ゲート構造 (231、232; 431、432) の側面に形成された絶縁性のサイドウォール (214、414) と、

前記サイドウォール (214、414) の一方の側面から前記ソース領域の表面まで、及び前記サイドウォール (214、414) の他方の側面から前記ドレイン領域の表面までをそれぞれ連続的に覆うように形成されたソース領域導電層及びドレイン領域導電層 (215、415) とを含む半導体装置。

【請求項2】 前記半導体層 (213、410) は、その周囲をフィールド絶縁膜 (211) で囲まれており、前記半導体層 (213、410) 表面と前記フィールド絶縁膜 (211) 表面とがほぼ同一平面内にある請求項1記載の半導体装置。

【請求項3】 前記ソース領域及び前記ドレイン領域は、前記サイドウォール (214、414) 直下の部分はより外側の部分と比べて比較的低濃度であることを特徴とする請求項1ないし2記載の半導体装置。

【請求項4】 前記半導体層 (213、410) は、絶縁層 (212) 上に形成されていることを特徴とする請求項1～3のいずれかに記載の半導体装置。

【請求項5】 前記半導体層 (213、410) は、厚さ100nm程度以下であることを特徴とする請求項4記載の半導体装置。

【請求項6】 前記半導体層 (213、410) は、前記絶縁ゲート構造 (231、232; 431、432) 及び前記サイドウォール (214、414) 直下のみに形成されていることを特徴とする請求項4ないし5記載の半導体装置。

【請求項7】 さらに、絶縁ゲート構造 (231、232; 431、432) 近傍以外の部分でソース領域導電層及びドレイン領域導電層表面を覆い、該導電層とは研磨特性の異なる絶縁層 (219) を含む請求項1～6のいずれかに記載の半導体装置。

【請求項8】 前記ソース領域導電層及び前記ドレイン領域導電層 (215、415) は、前記絶縁層 (219) で覆われていない部分で、覆われている部分よりも厚さが減少していることを特徴とする請求項7記載の半導体装置。

【請求項9】 前記ソース領域導電層及び前記ドレイン領域導電層 (215、415) は、多結晶シリコン層で

ある請求項1～8のいずれかに記載の半導体装置。

【請求項10】 前記ソース領域導電層及び前記ドレイン領域導電層 (215、415) は、メタルシリサイド層である請求項1～8のいずれかに記載の半導体装置。

【請求項11】 前記ソース領域導電層及び前記ドレイン領域導電層 (215、415) は、多結晶シリコン層とメタルシリサイド層の2層構造である請求項1～8のいずれかに記載の半導体装置。

【請求項12】 前記ゲート電極 (232、432) は多結晶シリコン層とメタルシリサイド層の2層構造である請求項11記載の半導体装置。

【請求項13】 半導体層 (213、410) 上にMOSFET構造を形成する際に、

(1) 半導体層 (213、410) 上に、ゲート電極 (232、432) を半導体層から絶縁するゲート酸化膜の層と、ゲート酸化膜上のゲート電極 (232、432) 用導電層と、ゲート電極 (232、432) 上部を被覆するための第1の絶縁層とをこの順に形成する工程と、

(2) 前記工程 (1) で形成された3層をフォトリソセス及びエッチングにより加工して、前記半導体層 (213、410) 上にこれら3層から成るゲート電極内包体中央部 (230A) を形成すると共に前記半導体層 (213、410) の一部を露出する工程と、

(3) 前記工程 (2) で露出された前記半導体露出部分に不純物をドーピングし、ソース領域及びドレイン領域を形成する工程と、

(4) 前記ゲート電極内包体中央部の両側面を第2の絶縁膜で覆うことにより、ゲート電極内包体 (230) を形成する工程と、

(5) 少なくとも前記ゲート電極内包体 (230) 上からその両側で前記工程 (2) で露出された前記半導体層 (213、410) 露出部分上までを包含する基板領域上に、不純物がドーピングされた多結晶シリコンまたはメタルシリサイドから成る導電層 (215) を形成する工程と、

(6) フォトリソセス及びエッチングにより前記導電層 (215) を加工して、少なくとも前記ゲート電極内包体からその両側の前記半導体層 (213、410) 露出部分までを連続的に覆う前記導電層 (215) のパターンを形成する工程と、

(7) 前記ゲート電極内包体 (230) 頂部上の前記導電層 (215) を研磨により除去する工程とを含む半導体装置の製造方法。

【請求項14】 前記工程 (1) の前に、

第1の半導体基板 (210) 表面に選択的にパターン形成された耐熱性マスクを用いて、耐熱性マスクの被着されていない領域を熱的に酸化し、フィールド酸化膜 (211) を形成する工程と、

前記耐熱性マスクを剥離して露出した前記第1の半導体

基板(210)表面と前記フィールド酸化膜(211)表面とに第3の絶縁膜(212)を形成する工程と、  
前記第3の絶縁膜(212)表面を平坦化する工程と、  
前記第3の絶縁膜(212)表面に第2の半導体基板(220)を貼り合わせる工程と、

前記第1の半導体基板(210)を、前記フィールド酸化膜(211)表面は露出し、かつ前記第3の絶縁膜(212)表面は露出しないように研磨または研削して、残余の前記第1の半導体基板(210)を一導電型の素子領域(213)とする工程とを含み、  
前記工程(1)において、その上に前記ゲート電極内包体(230)を形成する前記半導体層(213、410)は、前記素子領域(213)であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項15】 前記工程(6)を、前記工程(7)の後に行うことを特徴とする請求項13ないし14記載の半導体装置の製造方法。

【請求項16】 前記フィールド酸化膜(211)を、前記第1の半導体基板(210)表面からの深さが100nm程度以下であるように形成することを特徴とする請求項14ないし15記載の半導体装置の製造方法。

【請求項17】 前記工程(5)の後に、前記導電層(215)中にドーブされた不純物を、前記半導体層(213、410)中に拡散させることにより、ソース及びドレイン領域を形成することを特徴とする請求項13~16のいずれかに記載の半導体装置の製造方法。

【請求項18】 前記工程(4)において、前記ゲート電極内包体中央部の側面を覆う第2の絶縁膜を形成するためのエッチングにより、それにより形成される前記ゲート電極内包体の直下部分以外の前記素子領域を除去してその下の前記第3の絶縁膜(212)を露出させ、  
前記工程(5)において、少なくとも前記ゲート電極内包体からその直下にある前記素子領域の側面を経て露出した前記第3の絶縁膜(212)までを包含する基板領域上に、不純物がドーブされた多結晶シリコンまたはメタルシリサイドの層を形成し、

前記工程(6)において、フォトリソプロセス及びエッチングにより前記導電層(215)を加工して、前記ゲート電極内包体からその両側面直下の前記素子領域側面を経て露出した前記第3の絶縁膜(212)までを連続的に覆う、前記導電層(215)のパターンを形成すること  
を特徴とする請求項14~16のいずれかに記載の半導体装置の製造方法。

【請求項19】 前記工程(5)の後に、前記導電層(215)表面に導電層(215)と研磨特性の異なる絶縁膜(219)を形成する工程を含み、堆積される導電層(215)と絶縁膜(219)の全膜厚は、前記ゲート電極内包体の高さとはほぼ等しく、

前記工程(6)は、前記導電層(215)のエッチングの前に導電層(215)が形成されるパターンに合わせ

て前記絶縁膜をエッチングする工程を含み、

前記工程(7)は、前記ゲート電極内包体頂部上の前記絶縁膜を研磨により除去する工程を含む請求項13~18のいずれかに記載の半導体装置の製造方法。

【請求項20】 前記工程(7)の後に、前記絶縁膜をマスクとして前記導電層(215)をエッチングして、前記ゲート電極内包体側面の少なくとも一部を露出させる導電層エッチング工程を含む請求項19記載の半導体装置の製造方法。

10 【請求項21】 さらに、前記導電層エッチング工程の後に、前記絶縁膜を除去し、基板表面に金属膜を形成する金属膜形成工程と、  
熱処理することにより、前記導電層表面をメタルシリサイド化する熱処理工程とを含む請求項20記載の半導体装置の製造方法。

【請求項22】 さらに、前記金属膜形成工程の前に、前記第1の絶縁層を除去する工程を含み、前記熱処理工程において、前記ゲート電極本体の表面をメタルシリサイド化することを特徴とする請求項21記載の半導体装置の製造方法。

20 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、MOSFET(金属酸化物半導体電界効果トランジスタ)構造を有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 近年、薄膜MOSFETにおいては、ソース・ドレイン領域を形成するシリコン層の薄膜化が進められ、現在では厚さ100nm以下のものも用いられている。これは特に、貼り合わせSOIウエハを用いたMOSFET構造に典型的にみられる。

【0003】 しかし、このようにシリコン層が薄くなると、シリコン層のシート抵抗が著しく増大し、駆動能力の向上が困難になるという問題があった。図9に、貼り合わせSOIウエハ上に形成した従来のMOSFET構造を示す。図示したSOI基板10は、支持基板11上に素子形成用基板12を貼り合わせたものである。

【0004】 素子形成用基板12は、支持基板11との貼り合わせ側のCVD酸化膜13(この表面を研磨により平坦化した後、支持基板11と貼り合わせてある)、フィールド酸化膜14、ソース・ドレイン領域(S・D)を含むシリコン層15からなる。

【0005】 シリコン層15上にはゲート酸化膜16とその上のゲート電極本体17が形成されており、素子形成用基板12の上面全体を酸化膜18で覆った後に、コンタクトホールを開孔し、その中を充填するAIのソース電極19Sおよびドレイン電極19Dが形成されている。

【0006】 ここで、ソース・ドレイン領域(S・D)が形成されているシリコン層15が薄くなると、このシ

リコン層15のシート抵抗が増大するという問題があった。上記従来構造はSOIウエハを用いた典型的な場合について説明したが、SOIではなく単体のバルクシリコンウエハを用いたMOSFET構造でも、ソース及びドレイン領域を薄くした場合には同様な問題が生ずる。

【0007】

【発明が解決しようとする課題】本発明は、ソース・ドレイン領域を含むシリコン層を、そのシート抵抗を増加させることなく、薄膜化することができるように改良したMOSFET構造を有する半導体装置およびその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明による半導体装置は、一導電型の半導体層と、前記半導体層上に形成された絶縁ゲート構造と、前記絶縁ゲート構造を挟むように、両側の前記半導体層内に反対導電型の不純物を添加して形成されるソース領域(S)及びドレイン領域(D)と、前記絶縁ゲート構造の側面に形成された絶縁性のサイドウォールと、前記サイドウォールの一方の側面から前記ソース領域の表面まで、及び前記サイドウォールの他方の側面から前記ドレイン領域の表面までをそれぞれ連続的に覆うように形成されたソース領域導電層及びドレイン領域導電層とを含む。

【0009】本発明による半導体装置の製造方法は、半導体層上にMOSFET構造を形成する際に、半導体層上に、ゲート電極を半導体層から絶縁するゲート酸化膜の層と、ゲート酸化膜上のゲート電極用導電層と、ゲート電極上部を被覆するための第1の絶縁層とをこの順に形成する工程と、前記工程で形成された3層をフォトリソセス及びエッチングにより加工して、前記半導体層上にこれら3層から成るゲート電極内包体中央部を形成すると共に前記半導体層の一部を露出する工程と、前記工程で露出された前記半導体露出部分に不純物をドーピングし、ソース領域及びドレイン領域を形成する工程と、前記ゲート電極内包体中央部の両側面を第2の絶縁膜で覆うことにより、ゲート電極内包体を形成する工程と、少なくとも前記ゲート電極内包体上からその両側で前記工程で露出された前記半導体層露出部分上までを包含する基板領域上に、不純物がドーピングされた多結晶シリコンまたはメタルシリサイドから成る導電層を形成する工程と、フォトリソセス及びエッチングにより前記導電層を加工して、少なくとも前記ゲート電極内包体からその両側の前記半導体層露出部分までを連続的に覆う前記導電層のパターンを形成する工程と、前記ゲート電極内包体頂部上の前記導電層を研磨により除去する工程とを含む。

【0010】

【作用】本発明においては、ソース・ドレイン領域を含むシリコン領域の膜厚を薄くしても、その分をシリコン領域に並列接続される多結晶シリコンまたはメタルシリ

サイドからなる導電層が十分に補うので、全体としてのシート抵抗を低く抑えることができる。

【0011】ソース・ドレイン領域を含むシリコン層とその両側にあるフィールド酸化膜は、上面をほぼ同一平面上に揃えることができるので、上記導電層のうち、シリコン層上に形成したゲート電極内包体の頂部にある部分のみを研磨により容易に除去することができ、これにより導電層をゲート電極内包体の両側に離断して振り分け、両方の導電層の各々にソース電極とドレイン電極とを設けるようにすることができる。

【0012】また、上記ゲート電極内包体の高さと同じ導電層の厚さをほぼ等しくし、上記導電層表面に絶縁膜を形成することにより、この絶縁膜が研磨停止層として機能するため、上記研磨において、過度に研磨されることを防止することができる。

【0013】さらに、研磨後に残された絶縁膜をマスクとして上記導電層を選択エッチングして、上記ゲート電極内包体の一部を露出させることにより、ゲート電極とソース及びドレイン電極間の寄生容量を低減することができる。

【0014】また、ゲート電極上面の絶縁層を除去し、ゲート電極表面をメタルシリサイド化することにより、ゲート電極も低抵抗化することができる。本発明は、薄膜MOSFET、特にソース・ドレイン領域を含むシリコン層が厚さ100nm程度以下の薄膜として形成される場合に、特に有利に適用される。

【0015】その場合、多結晶シリコンまたはメタルシリサイドの層に、予めドーピングされた不純物を前記薄膜シリコン層中に拡散させることにより、ソース・ドレイン領域を形成することもできる。

【0016】また、本発明は、MOSFET構造を、貼り合わせSOIウエハに形成する場合にも、単体(バルク)のシリコンウエハ上に形成する場合にも、同様に適用することができる。

【0017】以下に、添付図面を参照し、実施例によって本発明をさらに詳細に説明する。

【0018】

【実施例】【実施例1】図1(a)～(h)を参照して、本発明による薄膜SOI型nMOSFETを形成する工程の一例を説明する。

【0019】工程1〔図1(a)〕

まず、図1(a)に示した貼り合わせSOIウエハ201(p型、10Ω)を、図2(a)～(D)に示した手順により作製した。

【0020】【手順1】：図2(a)

素子形成用シリコン基板210の表面にLOCOSによりフィールド酸化膜211を形成し、フィールド酸化膜211とフィールド酸化膜211間に露出したシリコン基板210表面とを覆うCVD酸化膜212を形成する。

【0021】（手順2）：図2（b）

研磨によりCVD酸化膜212の表面を平坦化する。

【手順3】：図2（c）

平坦化されたCVD酸化膜212の表面に、支持基板用シリコン基板220を貼り合わせ法により接合する。

【0022】（手順4）：図2（d）

貼り合わせたものを裏返して、素子形成用シリコン基板210側から研磨する。その際、フィールド酸化膜211を研磨ストッパーとして用いる。この研磨により、ソース・ドレイン領域を形成するためのシリコン層213の上面と、このシリコン層213の両側にあるフィールド酸化膜211の上面とがほぼ同一平面となるように平坦化する。これにより、図1（a）の貼り合わせSOIウエハ201が得られる。

【0023】工程2〔図1（b）〕

ゲート酸化膜の層231（厚さ10nm）、ゲート電極本体用の導電層としての多結晶シリコン層232（厚さ200nm、不純物としてP（リン）を濃度 $1 \times 10^{20} / \text{cm}^3$ 程度ドーピング）、およびゲート電極上部を被覆するためのCVD酸化膜（第1の酸化膜）233（厚さ200nm）をCVDにより一様にこの順で形成した後、フォトリソセスとエッチングにより、これらのゲート酸化膜231、ゲート電極232およびゲート電極上部絶縁膜233が積層してなるゲート電極内包体中央部230Aを形成する。ここで上部絶縁膜233としてCVD酸化膜の代わりにCVD窒化膜を用いてもよい。

【0024】工程3〔図1（c）〕

LDD（Lightly Doped Drain）用の低濃度不純物（n型）をドーピング（たとえばAs（砒素）を濃度 $1 \times 10^{18} / \text{cm}^3$ 程度ドーピング）した後、CVD酸化膜（第2の絶縁膜）214を形成する。

【0025】工程4〔図1（d）〕

RIE（反応性イオンエッチング）により、CVD酸化膜214を垂直異方性エッチングすることにより、ゲート電極内包体中央部230Aの側壁のみにCVD酸化膜214を残してサイドウォールとし、要素231、232、233が積層してなるゲート電極内包体230Aと、その側面を被覆するサイドウォール214とからなるゲート電極内包体230を形成する。

【0026】工程5〔図1（e）〕

LPCVD（減圧CVD）法により、基板温度600℃で基板全面に多結晶シリコンの層215（厚さ200nm）を堆積させる。

【0027】なお、多結晶シリコン層215の厚さは、ゲート電極内包体230の高さに一致させてもよい。一致させることにより、後の工程7で行なう研磨をより精度よく停止させることができる。

【0028】この多結晶シリコン層215は、必ずしも基板全面に堆積させる必要はなく、少なくともゲート電極内包体230、ゲート電極内包体230とフィールド

酸化膜211との間に露出しているシリコン層213上面、およびフィールド酸化膜211上面を覆う範囲に堆積させることが必要である。多結晶シリコン層215にAs（砒素）またはP（リン）を濃度 $10^{20} / \text{cm}^3$ 程度ドーピングして、導電性を高めるようにする。

【0029】工程6〔図1（f）〕

フォトリソセスとエッチングにより、一方のフィールド酸化膜211から、シリコン層上面の露出部分、ゲート電極内包体230、およびシリコン層213上面の露出部分を経て、他方のフィールド酸化膜211の上面までを連続的に覆う形に、多結晶シリコン層215を加工成形する。その後、熱拡散により、多結晶シリコン215中の不純物（AsまたはP）をシリコン層213中に拡散させて高濃度のソース・ドレイン領域を形成する。

【0030】工程7〔図1（g）〕

多結晶シリコン215とCVD酸化膜233との選択比の高い研磨により、ゲート電極頂部上の多結晶シリコン215のみを除去する。

【0031】このとき、工程5において、多結晶シリコン層215の厚さをゲート電極内包体230の高さに一致させておけば、より精度よく研磨を停止させることができる。

【0032】すなわち、ゲート電極内包体230の上面が露出したときに、多結晶シリコン層215の全面が研磨面となり、研磨圧力が基板表面に分散される。これにより、研磨速度がさらに低下するため、過度に研磨されることを防止することができる。

【0033】この研磨工程7は、上記多結晶シリコン層215の加工工程6の前に行なってもよい。工程6の前では、多結晶シリコン層215が基板表面の広い面積を占めているため、上記の多結晶シリコン層215表面で研磨を停止させる効果がさらに大きくなる。

【0034】この研磨は、たとえばいわゆる「メカノケミカル研磨」によって行なうことができる。これはSi表面と化学反応してこれを溶解する溶液中にコロイダルシリカ（粒径500Å程度）のような研磨粒を分散させた研磨剤を用い、これを回転する研磨板上の研磨布に供給し、この研磨布表面と基板表面とを摺動させることにより基板の凸部を選択的に研磨する方法である。

【0035】工程8〔図1（h）〕

層間絶縁膜としてCVD酸化膜216を堆積後、この堆積層216にビアコンタクトホールを開け、このビアコンタクトホール内をA1で充填してソース・ドレイン用電極217、218を形成して、MOSFETを完成する。

【0036】〔実施例2〕図3（a）～（F）を参照して、本発明のよりMOSFET構造をバルブのシリコンウエハ上に形成する工程の一例を説明する。

【0037】工程1〔図3（a）〕

シリコンウエハ410上に、フィールド酸化膜411を

形成する。フィールド酸化膜411と、それに両側を挟まれたウエハ410のシリコン領域413とは、上面が互いにほぼ同一平面上にあるようにしてある。

【0038】この平坦化は、シリコンウエハ410上にフィールド酸化膜411を形成した後、酸化による膨張分を実施例1と同様に研磨・除去することにより行なってもよく、あるいは予めシリコンウエハ410の表面に、フィールド酸化膜411形成時の膨張分を見込んで窪みを掘っておき、この窪み内のシリコンを選択酸化してフィールド酸化膜411を形成することにより行なってもよい。

#### 【0039】工程2〔図3(b)〕

実施例1の工程2と同様の操作により、ゲート酸化膜431(厚さ10nm)、ゲート電極本体の多結晶シリコン層432(厚さ200nm、不純物としてP(燐)を濃度 $1 \times 10^{20}/\text{cm}^3$ 程度ドーピング)、およびCVD酸化膜(第1の酸化膜)433(厚さ200nm)をこの順で形成した後、フォトリソセスとエッチングにより、これらの層431、432および433を加工する。

【0040】LDD用の低濃度不純物(n型)をドーピング(たとえばAs(砒素)を濃度 $1 \times 10^{18}/\text{cm}^3$ 程度ドーピング)する。次いで、実施例1の工程3および工程4と同様の操作によりサイドウォール414を形成して、ゲート電極内包体430を成形する。ここで、上部被覆層433としてCVD酸化膜の代わりにCVD窒化膜を用いてもよい。

#### 【0041】工程3〔図3(c)〕

LPCVD(減圧CVD)法により、基板温度600℃で基板全面に多結晶シリコンの層415(厚さ200nm)を堆積させる。

#### 【0042】工程4〔図3(d)〕

フォトリソセスとエッチングにより、一方のフィールド酸化膜411から、シリコン層上面の露出部分、ゲート電極内包体430、およびシリコン層413上面の露出分を経て、他方のフィールド酸化膜411の上面までを連続的に覆う形に、多結晶シリコン層415を加工成形する。

【0043】次に、イオン注入(20KeV、ドーピング量 $2 \times 10^{15}$ )により、多結晶シリコン層415にAs(砒素)またはP(燐)を濃度 $10^{20}/\text{cm}^3$ 程度ドーピングする。

#### 【0044】工程5〔図3(e)〕

多結晶シリコン415とCVD酸化膜433との選択比の高い研磨により、ゲート電極内包体頂部上の多結晶シリコン415のみを除去する。その後、熱拡散により、多結晶シリコン415中の不純物(AsまたはP)をシリコン層413中に拡散させてソース・ドレイン領域(S・D)を形成する。

#### 【0045】工程6〔図3(f)〕

層間絶縁膜としてCVD酸化膜416を堆積後、この堆

積層416にビアコンタクトホールを開け、このビアコンタクトホール内をAlで充填してソース・ドレイン用電極417、418を形成して、図示した構造の薄膜MOSFETを完成する。

【0046】〔実施例3〕図1および図4(a)~(c)を参照して、本発明による薄膜SOI型nMOSFETを形成する工程の別の一例を説明する。

【0047】実施例1の工程1~工程3〔図1(a)~(c)参照〕により、CVD酸化膜(ゲート電極のサイドウォール形成用)214の形成までを行なう。ここで、形成したCVD酸化膜214をエッチングして、ゲートのサイドウォールやコンタクトホールを形成する際に、形成を確実にするためにエッチングをCVD酸化膜214の厚さよりも若干過剰に行なう必要があるが、シリコン層213が薄いと、この過剰エッチングに対してシリコン層213を必要な膜厚に維持することが困難になる場合がある。

【0048】本実施例では、これに対処するために、実施例1のエッチング工程4および多結晶シリコン堆積工程5を、それぞれ下記工程4'および工程5'のように変更する。

#### 【0049】工程4-3〔図4(a)〕

実施例1と同様に、RIE(反応性イオンエッチング)により、CVD酸化膜214を異方性エッチングすることにより、ゲート電極内包体中央部230Aの側壁のみにCVD酸化膜214を残してサイドウォールとし、要素231、232、233が積層して成るゲート電極内包体230Aと、その側面を被覆するサイドウォール214とからなるゲート電極内包体230を形成する。

【0050】その際、このエッチングを実施例1よりも過剰に行なうことにより、ゲート電極内包体230の両側のシリコン層213をも除去し、その下にあるSOIウエハのCVD酸化膜212を露出させた状態にする。

#### 【0051】工程5-3〔図1(b)〕

LPCVD(減圧CVD)法により、基板温度600℃で基板全面に多結晶シリコンの層215(厚さ200nm)を堆積させる。

【0052】この多結晶シリコン層215は、ゲート電極内包体230、ゲート電極内包体230とフィールド酸化膜211との間に露出しているSOIウエハのCVD酸化膜212、およびフィールド酸化膜211上面を覆っている。

【0053】実施例1の工程5と同様に、多結晶シリコン層215にAs(砒素)またはP(燐)の濃度 $10^{20}/\text{cm}^3$ 程度ドーピングする。次に、実施例1の工程6と同様に、フォトリソセスとエッチングにより、一方のフィールド酸化膜211から、SOIウエハのCVD酸化膜212の露出部分、ゲート電極内包体230、およびSOIウエハのCVD酸化膜212の露出部分を経て、他方のフィールド酸化膜211の上面までを連続的



に覆う形に、多結晶シリコン層215を加工成形する。

【0054】以降の処理は、実施例1の工程7および工程8と同様の操作を行なうことにより、図4(c)に示した構造の薄膜SOI型nMOSFETを完成する。上記実施例3の場合、ソース・ドレイン領域(S・D)はサイドウォール214直下のシリコン層213内に形成される。過剰エッチングによりシリコン層213はゲート電極内包体直下の部分を残し、それ以外の部分は除去されている。

【0055】ソース・ドレイン領域(S・D)が形成されているシリコン層213の側面は、多結晶シリコン層215に直接接続されており、これによりシリコン層213のシート抵抗が低く抑制される。

【0056】上記の実施例1では、工程7(図1(g))において、多結晶シリコン215とCDV酸化膜233との選択比の高い研磨により、ゲート電極頂上の多結晶シリコン215のみを除去する必要がある。実施例2、3においても同様の工程が必要である。

【0057】この場合、ゲート長が約1 $\mu$ m程度であればCDV酸化膜233がメカノケミカル研磨における研磨停止層として十分機能する。しかし、ゲート長がそれ以下になるとCDV酸化膜233に加わる圧力が大きくなり、研磨停止層としての機能が十分でなくなる。

【0058】そのため、メカノケミカル研磨により、CDV酸化膜233が研磨され、さらには、ゲート絶縁膜231上の多結晶シリコン232が研磨される。これは、ゲート電極の抵抗の増加につながり、素子の高速性に悪影響を及ぼす。また、この過度の研磨はウエハ上のゲートの密度が一定でない場合に、ゲートの密度が疎の部分でも発生する。

【0059】以下に、この過度の研磨を防止することのできる実施例について説明する。まず、図5、図6を参照して過度の研磨を防止するための原理について説明する。図5(a)は、過度の研磨防止の効果を確認するために使用したテストパターンを形成した基板の断面を示す。シリコン基板500上にCDV酸化膜501を形成する。フォトリソグラフィを用いてCDV酸化膜501を選択エッチングし、図3に示すゲート電極内包体430と同様の形状になるようにSiO<sub>2</sub>からなる突起504を残す。突起504の高さは0.33 $\mu$ m、幅は0.1~1.0 $\mu$ mとした。

【0060】突起504を含むCDV酸化膜501上に、多結晶シリコン層502をその表面が突起504の先端と同じ高さになるように0.33 $\mu$ m堆積する。その後、多結晶シリコン層502表面を熱酸化し、約500ÅのSiO<sub>2</sub>膜を形成する。

【0061】図5(b)は、図5(a)に示す基板をメカノケミカル研磨した後の基板の断面を示す。突起504上部のSiO<sub>2</sub>膜503の凸状の部分には大きな圧力が加わるため、この凸状の部分から順次研磨される。研

磨面がSiO<sub>2</sub>膜503の平面状の面と一致した時、研磨が停止する。これは、研磨面のほとんどにSiO<sub>2</sub>が現れ、研磨速度が急激に低下するためである。

【0062】このとき、SiO<sub>2</sub>膜503の平面部分の高さは、突起504の先端部に一致しているため、突起504の先端部で研磨が停止し、過度に研磨されてその高さが低くなることを防止することができる。実際の半導体装置においては、ゲート部分の面積はウエハ全体の1%程度であるため、本テストパターンと同様の効果が期待できる。

【0063】図6は、突起504の幅を変化させて研磨したときの、研磨後の多結晶シリコン層502の膜厚の測定結果である。横軸は突起504の幅Lを単位 $\mu$ mで表し、縦軸は研磨後の多結晶シリコン層502の膜厚Pを単位 $\mu$ mで表す。曲線aは、図5(a)に示すように多結晶シリコン層502の表面にSiO<sub>2</sub>膜503を形成した場合、曲線bは形成しない場合を示す。

【0064】突起504の幅Lが約1 $\mu$ mのときは、曲線a、b共に研磨後の多結晶シリコン層502の厚さPは0.33 $\mu$ mであり、過度の研磨は発生しない。しかし、SiO<sub>2</sub>膜503を形成しないで研磨した場合には、突起504の幅Lが減少するに従って、研磨後の多結晶シリコン層502の厚さが減少し、過度に研磨されることがわかる。例えば、突起504の幅が0.1 $\mu$ mのとき、研磨後の多結晶シリコン層502の膜厚は約0.285 $\mu$ mとなり、約0.045 $\mu$ m過度に研磨されている。

【0065】SiO<sub>2</sub>膜503を形成して研磨した場合には、突起504の幅を狭くしても研磨後の多結晶シリコン層502の膜厚は0.33 $\mu$ mとほぼ一定であり、過度の研磨が生じないことがわかる。

【0066】また、このように誘電体の突起504を有するSiO<sub>2</sub>膜上に多結晶シリコンを堆積し、メカノケミカル研磨することにより、周囲と誘電体により分離された島状の導電性領域を形成することができる。これは、半導体装置内の電子回路の抵抗等として使用することができる。さらに、誘電体上に半導体単結晶を成長させることができれば、この島状の領域に能動素子を形成することもでき、完全に素子間分離された半導体装置の作製が可能になる。

【0067】以下に、上記原理を応用したMOSFETの作製方法について説明する。

【実施例4】図7(a)~(d)を参照して本発明による薄膜SOI型nMOSFETを形成する工程の一例を説明する。

【0068】実施例1の工程1~工程4[図1(a)~図1(d)参照]により、サイドウォール214の形成までを行う。ここで、CDV酸化膜233の膜厚は、実施例1では200nmであったのに対し、実施例1では100nmとした。これは、後のメカノケミカル研磨工

程で、研磨停止層として機能する必要がないためである。図7(a)は、図1(d)と同一のものであり、サイドウォール214を形成した状態を示す。

#### 【0069】工程5-4〔図7(b)〕

LP-CVD法により、基板全面に多結晶シリコン層215を約300nm堆積させる。多結晶シリコン層215の厚さは、ゲート電極内包体230の高さとほぼ等しい。多結晶シリコン層215にAsまたはPを濃度 $10^{20}/\text{cm}^3$ 程度ドーピングし、低抵抗化する。次に、多結晶シリコン層215の表面に $\text{SiO}_2$ 膜219を熱酸化またはCVD法により約50nm程度形成する。

#### 【0070】工程6-4

フォトリソセスとエッチングにより、一方のフィールド酸化膜211から、シリコン層上面の露出部分、ゲート電極内包体230、及びシリコン層213上面の露出部分を経て、他方のフィールド酸化膜211の上面までを連続的に覆う形に、 $\text{SiO}_2$ 膜219と多結晶シリコン層215を加工成形する。

#### 【0071】工程7-4〔図7(c)〕

多結晶シリコン層215と $\text{SiO}_2$ 膜219、233との選択比の高い研磨により、ゲート電極上部の多結晶シリコン層215及び $\text{SiO}_2$ 膜219を除去する。この研磨工程7-4は、上記工程6-4の前に行ってもよい。

【0072】この研磨は、実施例1の工程7で行ったと同様のメカノケミカル研磨によって行うことができる。このとき、図5を参照して説明した原理により、研磨は、 $\text{SiO}_2$ 膜219の平面部分で停止する。これにより、多結晶シリコン層215は、ソース領域とドレイン領域に分離される。

【0073】工程5-4で形成された多結晶シリコン層215の厚さがゲート電極内包体230の高さを越えている場合は、多結晶シリコン層215は、ソース領域とドレイン領域に完全には分離されない。このような場合には、後に説明する実施例5の方法を用いることにより分離することができる。

#### 【0074】工程8-4〔図7(d)〕

層間絶縁膜としてCVD酸化膜216を堆積後、このCVD酸化膜216にビアコンタクトホールを開け、このビアコンタクトホール内をAlで充填して、ソース、ドレイン用電極217、218を形成する。

【0075】このように、多結晶シリコン層215の表面に $\text{SiO}_2$ 膜219を形成し、メカノケミカル研磨の停止層とすることにより、ゲート長が $1\mu\text{m}$ 以下の短チャネルMOSFETを形成する場合でも、ゲート電極として作用する多結晶シリコン層232の十分な厚さを確保することができる。

【0076】〔実施例5〕図8(a)を参照して、本発明の実施例5の薄膜SOI型nMOSFETを形成する工程の一例を説明する。

【0077】実施例4の工程7-4までと同様の工程により、図7(c)に示す基板を作製する。このとき、ゲート電極内包体230の上面と $\text{SiO}_2$ 膜219の間には多結晶シリコン層215が露出している。この露出幅は、多結晶シリコン層215の膜厚と同程度であり、約 $0.2\sim 0.3\mu\text{m}$ である。

【0078】 $\text{SiO}_2$ 膜219をマスクとして、多結晶シリコン層215の露出した部分をエッチングし、凹部221を形成する。このとき、エッチングの時間制御によりシリコン層213が露出しないようにする。凹部221により、ソースまたはドレイン電極となる多結晶シリコン層215とゲート電極となる多結晶シリコン層232との間の寄生容量を低減することができる。また、メカノケミカル研磨後に、ゲート電極内包体230の上部に多結晶シリコン層215が残った場合にも、多結晶シリコン層215をソース領域とドレイン領域に完全に分離することができる。

【0079】この後、実施例4の工程8-4と同様に層間絶縁膜を堆積し、ビアコンタクトホールを開け、このビアコンタクトホール内をAlで充填して、ソース、ドレイン用電極を形成する。

【0080】このように、ゲート電極内包体230の両側に凹部221を設けることにより、ソース及びドレイン電極とゲート電極間の寄生容量を低減することができ、より高速動作が可能になる。

【0081】また、メカノケミカル研磨後に、ゲート電極内包体230の上部に多結晶シリコン層215が残ってもソース領域とドレイン領域とを完全に分離することができる。

【0082】そのため、多結晶シリコン層215の厚さをゲート電極内包体230の高さに厳密に一致させる必要がなくなり、CVD法による多結晶シリコン層215の堆積工程の制御が容易になる。

【0083】〔実施例6〕図8(b)を参照して、本発明の実施例6の薄膜SOI型nMOSFETを形成する工程の一例を説明する。

【0084】実施例5において、凹部221を形成した後、 $\text{SiO}_2$ 膜219を除去し、チタン(Ti)を蒸着する。約 $800^\circ\text{C}$ で熱処理を行い、多結晶シリコン層215表面をシリサイド化する。残ったTiはエッチングで取り除く。このとき、ゲート電極内包体230表面に蒸着されたTiはシリサイド化されないため、エッチングにより全て取り除かれる。

【0085】この後、実施例4の工程8-4と同様に層間絶縁膜を堆積し、ビアコンタクトホールを開け、このビアコンタクトホール内をAlで充填して、ソース、ドレイン用電極を形成する。

【0086】このように、多結晶シリコン層215表面をシリサイド化することにより、ソース及びドレインの寄生抵抗を低減することができ、より高速動作が可能に

なる。

【0087】上記の実施例においては、研磨停止用の誘電体層として $\text{SiO}_2$ 膜を用いたが、 $\text{SiN}$ 膜等の誘電体を用いてもよい。下地の導電層との間に高い研磨選択比が得られればよい。

【0088】また、ゲート電極232上の絶縁膜233とサイドウォール214とを、それぞれ $\text{SiO}_2$ と $\text{SiN}$ 等の異なる材料にすることが好ましい。異なる材料にすることにより、 $\text{Ti}$ 蒸着前にサイドウォール214を残し、絶縁膜233のみを除去することができる。これにより、ゲート電極232の表面をもシリサイド化することができ、ゲート電極の寄生抵抗を低減することが可能になる。

【0089】このとき、絶縁膜233と多結晶シリコン層215表面の絶縁膜219とを同じ材料にしておくことにより、1回のエッチングで絶縁膜233と絶縁膜219を同時に除去することができる。

【0090】なお、以上の実施例においては、シート抵抗を低下させるように薄膜化した素子領域とのコンタクトをとるための電極材料として、多結晶シリコンまたはメタルシリサイドを用いたが、本発明においては特にこれらに限定する必要はなく、代わりにアモルファスシリコンを用いてもよいし、あるいはアルミニウムを用いることもできる。

【0091】ただし、アルミニウムを用いた場合には、素子領域をなすシリコンが吸われる現象（いわゆる「アロイスバイク現象」）の発生を防止するために、公知のバリアメタル技術、すなわちチタンやチタンナイトライド等の高融点金属またはその化合物を薄膜として素子領域表面とアルミニウム電極との間に介在させる等の配慮をする必要がある。

【0092】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0093】

【発明の効果】以上説明したように、本発明によれば、ソース・ドレイン領域を含むシリコン層を、そのシート抵抗を増加させることなく、薄膜化することができるように改良したMOSFET構造を有する半導体装置およびその製造方法が提供される。

【図面の簡単な説明】

【図1】SOIウエハ上に本発明の薄膜MOSFET構造を作製する実施例1の工程の一例を示す断面図である。

【図2】本発明に用いる貼り合わせSOIウエハの作製手順の一例を示す断面図である。

【図3】バルクのシリコンウエハ上に本発明の薄膜MOSFET構造を作製する実施例2の工程の一例を示す断面図である。

【図4】SOIウエハ上に本発明の薄膜MOSFET構造を作製する実施例3の工程の一例を示す断面図である。

【図5】メカノケミカル研磨における過度の研磨の程度を実験するためのテストパターンを有する基板の断面図である。

【図6】図5のテストパターンを用いてメカノケミカル研磨を行った場合の研磨後の多結晶シリコン層の厚さを示すグラフである。

【図7】SOIウエハ上に本発明の薄膜MOSFET構造を作製する実施例4の工程の一例を示す断面図である。

【図8】SOIウエハ上に本発明の薄膜MOSFET構造を作製する実施例5、6の工程の一例を示す断面図である。

【図9】従来の薄膜SOI型nMOSFET構造を示す断面図である。

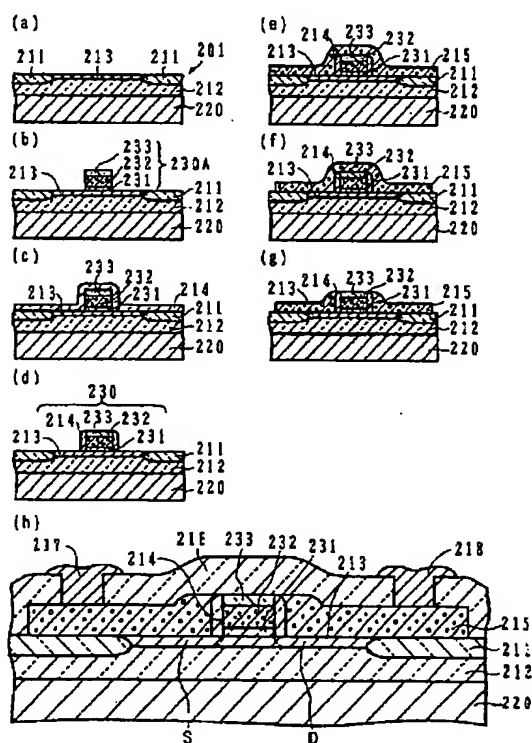
【符号の説明】

- 10 SOI基板
- 11 支持基板
- 12 素子形成用基板
- 13 CVD酸化膜
- 14 フィールド酸化膜
- 15 ソース・ドレイン領域(S・D)を含むシリコン層
- 16 ゲート酸化膜
- 17 電極電極本体
- 18 層間絶縁膜としての酸化膜
- 19S ソース電極
- 19D ドレイン電極
- 201 貼り合わせSOIウエハ
- 210 素子形成用シリコン基板
- 211 フィールド酸化膜
- 212 CVD酸化膜(またはCVD窒化膜)
- 213 ソース・ドレイン領域を形成するためのシリコン層
- 214 サイドウォール用のCVD酸化膜(第2の絶縁膜)
- 215 多結晶シリコンの層
- 216 層間絶縁膜としてのCVD酸化膜
- 217 ソース電極
- 218 ドレイン電極
- 219  $\text{SiO}_2$ 膜
- 220 支持基板用シリコン基板
- 221 凹部
- 230A ゲート電極内包体中央部
- 230 ゲート電極内包体
- 231 ゲート酸化膜の層
- 232 ゲート電極本体用の導電層としての多結晶シリコン層

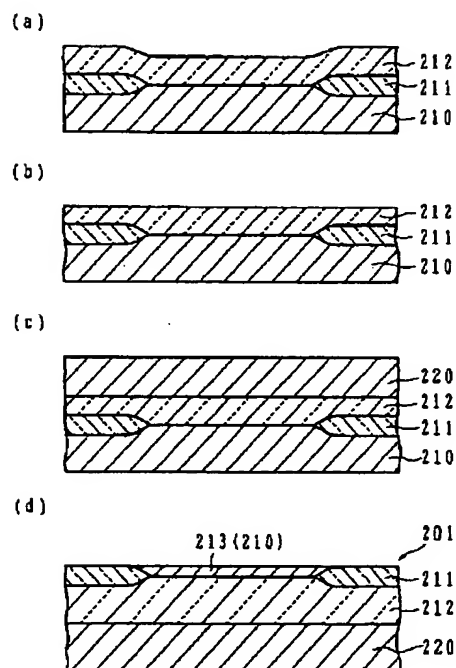
233 ゲート電極上部を被覆するためのCVD酸化膜  
(第1の絶縁膜)  
410 シリコンウエハ  
411 フィールド酸化膜  
413 シリコン領域  
414 サイドウォール  
415 多結晶シリコンの層  
416 層間絶縁膜としてのCVD酸化膜

417 ソース電極  
418 ドレイン電極  
430 ゲート電極内包体  
431 ゲート酸化膜  
432 ゲート電極本体用の導電層としての多結晶シリコン層  
433 ゲート電極上部を被覆するためのCVD酸化膜  
(第1の絶縁膜)

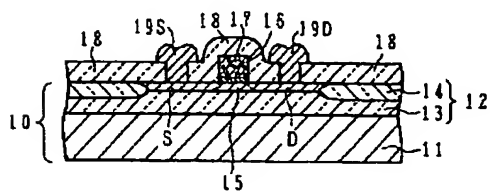
【図1】



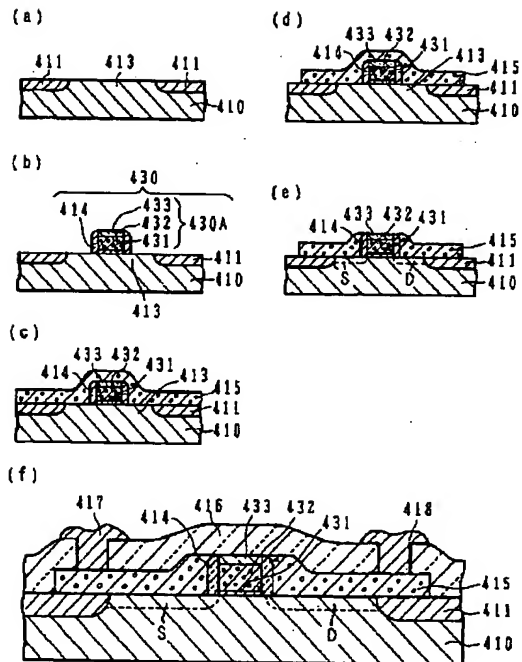
【図2】



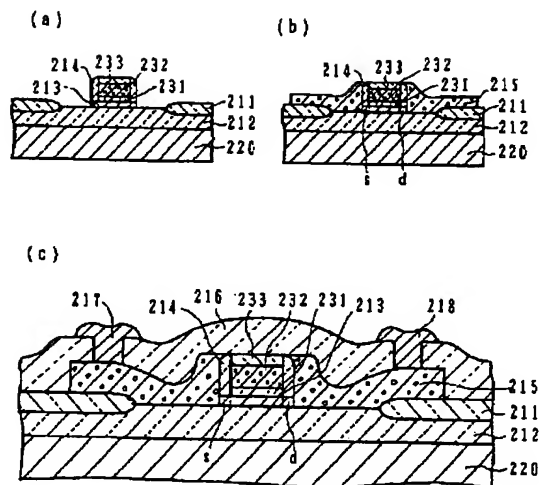
【図9】



【図3】

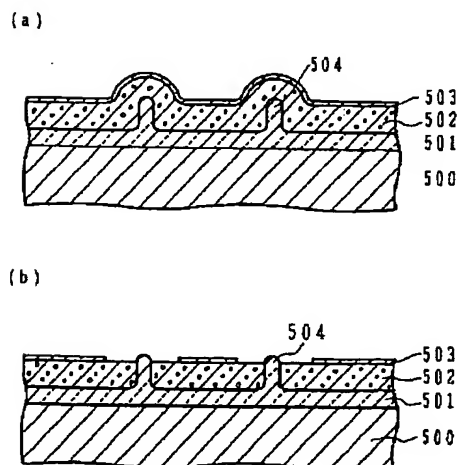


【図4】



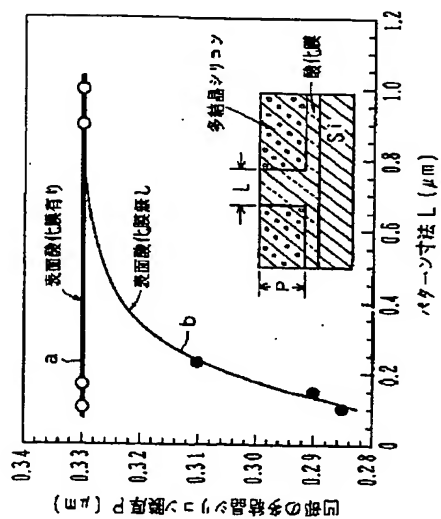
【図5】

テストパターン



【図6】

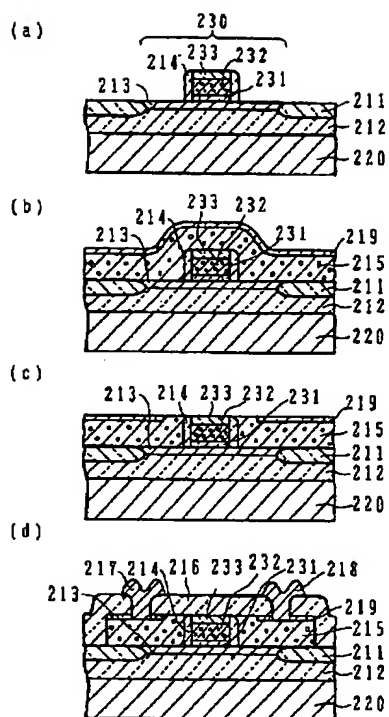
研磨後のポリシリコンの膜厚



(12)

特開平6-85259

【図7】



【図8】

